



City. Docket No. OG03-042

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Seung Jong YOO : GROUP ART UNIT:

SERIAL NO: 10/749,843 :

FILED: December 31, 2003 : EXAMINER:

FOR: Method for Fabricating Nonvolatile Memory Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 23, 2004.

By: 
Andrew D. Fortney, Ph.D.

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0087897	December 31, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



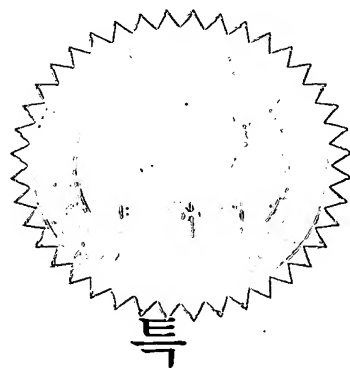
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087897
Application Number

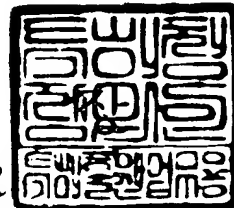
출원년월일 : 2002년 12월 31일
Date of Application DEC 31, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 2002. 12. 31
【발명의 명칭】 비휘발성 메모리 장치의 제조 방법
【발명의 영문명칭】 method for manufacturing a non-voltage memory device
【출원인】
【명칭】 동부전자 주식회사
【출원인코드】 1-1998-106725-7
【대리인】
【성명】 강성배
【대리인코드】 9-1999-000101-3
【포괄위임등록번호】 2001-050901-4
【발명자】
【성명의 국문표기】 유승종
【성명의 영문표기】 Y00, Seung Jong
【주민등록번호】 670523-1055424
【우편번호】 467-832
【주소】 경기도 이천시 백사면 모전리 현대아파트 101동 102호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】
【기본출원료】 14 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 이이피롬과 같은 비휘발성 메모리 소자의 제조 방법에 관한 것이다. 상기 제조 방법은, 기판 상에 하부 산화막 및 희생 절연막을 순차적으로 형성하는 단계와, 상기 희생 절연막의 일부 영역을 식각시켜 상기 하부 산화막을 노출시키는 희생 절연막 패터닝을 형성하되, 상기 형성되는 희생 절연막 패터닝의 측벽에 폴리머를 생성시킴으로서 스페이서를 형성하는 단계와, 상기 노출된 하부 절연막을 제거하여 하부 절연막 패터닝을 형성하는 단계와, 상기 희생 절연막 및 스페이서를 제거하는 단계를 포함한다. 따라서, 패터닝의 선포의 크기에 의해 정의되는 터널 윈도우의 선포가 협소해진다.

【대표도】

도 4c

【명세서】**【발명의 명칭】**

비휘발성 메모리 장치의 제조 방법{method for manufacturing a non-voltage memory device}

【도면의 간단한 설명】

도 1은 비휘발성 메모리 장치의 터널 윈도우 영역을 설명하기 위한 단면도이다.

도 2는 비휘발성 메모리 장치에서 터널 윈도우의 폭과 커플링율의 관계를 나타내는 그래프이다.

도 3a 및 도 3b는 종래의 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.

도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 비휘발성 메모리 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 이이피롬(EEPROM : electrically erasable programable ROM)과 같은 비휘발성 메모리 소자의 제조 방법에 관한 것이다.

<6> 최근, 반도체 메모리 소자가 발전함에 따라 비휘발성 메모리 소자의 중요성이 크게 대두되고 있다. 상기 비휘발성 메모리 소자의 예로서는 이이피롬을 들 수 있다.

- <7> 상기 이이피롬의 경우에는 커플링율(coupling ratio)을 갖게 하기 위하여 터널 영역을 플로팅 게이트 폴리 영역의 아래에 전부를 형성하지 않고, 매우 협소하게 한정지어 전자의 터널링(tunneling)을 유도하고 있다. 상기 터널링이 유도되는 영역을 터널 윈도우라고 한다. 상기 터널 윈도우는 상기 비휘발성 메모리 소자에서 가장 중요한 부분으로서, 전자의 이동을 통하여 소자의 동작을 유도하는 부분이다.
- <8> 도 1을 참조하면, 기판(10) 상에 산화막 패턴(12) 및 게이트 폴리 산화막 패턴(14)을 갖는 구조물을 나타낸다. 상기 구조물에서 터널 윈도우는 표기한 L1에 해당한다.
- <9> 여기서, 상기 터널 윈도우의 폭이 좁을수록, 도 2에 도시된 바와 같이, 커플링율이 좋아지기 때문에 상기 터널 윈도우의 폭을 좁게 형성하기 위한 공정이 현재 개발 중에 있다.
- <10> 도 3a 및 도 3b는 종래의 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.
- <11> 도 3a를 참조하면, 기판(30) 상에 산화막(32)을 형성한 후, 포토레지스트 패턴(34)을 형성한다.
- <12> 도 3b를 참조하면, 상기 포토레지스트 패턴(34)을 식각 마스크로 사용하여 상기 산화막(32)을 식각한다. 이에 따라, 상기 산화막(32)은 산화막 패턴(32a)으로 형성된다.
- <13> 여기서, 상기 식각은 주로 습식 식각에 의해 달성된다. 때문에, 상기 산화막 패턴(32a)은 등방성 식각이 이루어진 형태를 갖는다. 때문에, 상기 포토레지스트 패턴(34)에 의해 한정되는 선포보다 더 큰 선포를 갖는 형태로 형성된다.
- <14> 따라서, 상기 산화막 패턴(32a)에 의해 한정되는 터널 윈도우의 폭이 넓어지게 된다. 이는, 전술한 바와 같이, 커플링율의 저하로 나타난다. 이와 같이, 상기 커플링율의 저하는 상기 비휘발성 메모리 소자의 특성을 저하시키는 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명의 목적은, 비휘발성 메모리 소자에서 터널 윈도우의 크기를 한정하는 산화막 패턴의 선폴을 원래 정의된 선폴 그대로 형성이 가능한 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<16> 상기 목적을 달성하기 위한 본 발명의 제조 방법은, 기판 상에 하부 산화막 및 희생 절연막을 순차적으로 형성하는 단계와, 상기 희생 절연막의 일부 영역을 식각시켜 상기 하부 산화막을 노출시키는 희생 절연막 패턴을 형성하되, 상기 형성되는 희생 절연막 패턴의 측벽에 폴리머를 생성시킴으로서 스페이서를 형성하는 단계와, 상기 노출된 하부 절연막을 제거하여 하부 절연막 패턴을 형성하는 단계와, 상기 희생 절연막 및 스페이서를 제거하는 단계를 포함한다.

<17> 그리고, 상기 하부 절연막 패턴 상에 상부 산화막을 균일한 두께로 형성하는 단계와, 상기 상부 산화막 상에 게이트 폴리 산화막을 형성하는 단계를 더 포함함으로써 이이피롭과 같은 비휘발성 메모리 소자의 게이트 전극의 형성을 완성한다.

<18> 여기서, 상기 희생 절연막은 질화막이고, 상기 스페이스는 상기 희생 절연막 패턴의 측벽으로부터 300 내지 1,000 Å의 폭을 갖도록 형성하는 것이 바람직하다.

<19> 이와 같이, 본 발명에 의하면, 상기 스페이서를 형성함으로써 상기 스페이서가 식각 마스크로 작용하여 하부의 산화막 패턴의 선폴을 보다 협소하게 형성할 수 있다. 때문에, 상기 선폴의 크기에 의해 정의되는 터널 윈도우의 선폴이 협소해진다. 따라서, 상기 비휘발성 메모리 소자의 특성을 나타내는 컵플링율이 양호해진다.

- <20> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.
- <21> 도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.
- <22> 도 4a를 참조하면, 기판(40) 상에 하부 산화막(42) 및 희생 절연막(44)을 순차적으로 형성한다. 이때, 상기 희생 절연막(44)은 주로 질화막인 것이 바람직하다. 이는, 상기 희생 절연막(44)을 식각할 때 폴리머의 생성이 많아야 하기 때문이고, 상기 희생 절연막(44)의 하부에 산화막(42)이 형성되기 때문이다.
- <23> 도 4b 및 도 4c를 참조하면, 상기 희생 절연막(44) 상에 식각 마스크로서 포토레지스트 패턴(도시되지 않음)을 형성한 후, 식각을 실시한다. 이에 따라, 상기 희생 절연막(44)은 희생 절연막 패턴(44a)으로 형성된다. 여기서, 상기 포토레지스트 패턴의 형성은 아이-라인(i-line)의 파장을 갖는 광원을 사용하여도 충분하다. 이는, 후술하는 스페이서의 형성 때문에 가능하다. 따라서, 상기 아이-라인의 파장을 사용함으로써 제조 원가의 저하를 도모할 수도 있다.
- <24> 상기 희생 절연막 패턴(44a)을 형성할 때 폴리머가 발생한다. 이때, 상기 폴리머의 일부가 상기 희생 절연막 패턴(44a)의 측벽에 축적되도록 조정한다. 따라서, 상기 희생 절연막 패턴(44a)의 측벽에는 스페이서(44b)가 형성된다. 이때, 상기 스페이서(44b)는 그것의 폭이 300 내지 1,000Å 정도를 갖도록 조정된다.
- <25> 이와 같이, 상기 스페이서(44b)를 형성함으로써 상기 포토레지스트 패턴에 의해 정의되는 선폭보다 좁은 선폭을 갖는 희생 절연막 패턴(44a)이 형성된다. 즉, 상기 스페이서(44b)가 형성된 부분만큼 그 선폭이 좁아지는 것이다.

- <26> 도 4d를 참조하면, 상기 포토레지스트 패턴(도시되지 않음)과 스페이서(44b)를 갖는 희생 절연막 패턴(44a)을 식각 마스크로 사용한 식각을 실시한다. 이에 따라, 상기 하부 산화막(42)은 하부 산화막 패턴(42a)으로 형성된다. 이때, 상기 식각은 습식 식각에 의해 달성된다.
- <27> 이와 같이, 상기 습식 식각을 실시함으로써 상기 하부 산화막 패턴(42a)의 형성에서는 등방성 식각이 이루어진다. 그러나, 상기 스페이서(44b)를 갖는 희생 절연막 패턴(44a)이 식각 마스크로 작용하기 때문에 등방성 식각이 이루어져도 상기 포토레지스트 패턴에 의해 정의되는 선폭보다 더 큰 선폭을 갖지는 않는다.
- <28> 따라서, 상기 스페이서(44b)를 갖는 희생 절연막 패턴(44a)의 식각 마스크로서의 역할로 인하여 하부 산화막 패턴(42a)의 선폭은 원하는 크기를 갖는다.
- <29> 이와 같이, 상기 하부 산화막 패턴의 선폭이 형성하기 위한 선폭과 거의 유사한 크기를 갖기 때문에 상기 하부 산화막 패턴의 선폭에 의해 결정되는 터널 윈도우에 영향을 끼치지 않는다.
- <30> 도 4d 및 도 4f를 참조하면, 상기 포토레지스트 패턴 및 상기 희생 절연막 패턴(44a)과 스페이서(44b)를 제거한다. 이에 따라, 상기 기판(40)에는 하부 산화막 패턴(42a)이 남는다. 그리고, 상기 하부 산화막 패턴(42a)을 갖는 기판(40) 상에 상부 산화막 패턴을 형성하여 산화막 패턴(50) 즉, 터널 산화막을 만든 후, 상기 산화막 패턴(50) 상에 게이트 폴리 산화막(52)을 형성한다.
- <31> 이에 따라, 비휘발성 메모리 소자 즉, 이이피롬의 게이트 전극 구조물이 형성된다.

【발명의 효과】

- <32> 본 발명에 의하면, 스페이서를 갖는 희생 절연막 패턴을 식각 마스크로 사용한다. 따라서, 터널 윈도우를 정의하는 산화막 패턴의 선폴을 원하는대로 조정할 수 있다. 때문에, 커패시턴스를 증가시킴으로서 비휘발성 메모리 소자의 특성을 증가시킬 수 있다.
- <33> 그리고, 아이-라인의 광원을 사용하고, 습식 식각을 그대로 이용할 수 있기 때문에 제조 원가를 낮출 수 있다. 이는, 딥유브-라인의 광원과 건식 식각을 이용할 경우 상기 선폴의 조정을 용이하지만 제조 원가를 상승시키키기 때문이다.
- <34> 따라서, 본 발명의 제조 방법은 비휘발성 메모리 소자의 제조에 따른 신뢰도 및 생산성을 향상시키는 효과를 기대할 수 있다.
- <35> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 하부 산화막 및 희생 절연막을 순차적으로 형성하는 단계;

상기 희생 절연막의 일부 영역을 식각시켜 상기 하부 산화막을 노출시키는 희생 절연막 패턴을 형성하되, 상기 형성되는 희생 절연막 패턴의 측벽에 폴리머를 생성시킴으로서 스페이서를 형성하는 단계;

상기 노출된 하부 절연막을 제거하여 하부 절연막 패턴을 형성하는 단계;

상기 희생 절연막 및 스페이서를 제거하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 2】

제1항에 있어서, 상기 희생 절연막은 질화막인 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 3】

제1항에 있어서, 상기 스페이스는 상기 희생 절연막 패턴의 측벽으로부터 300 내지 1,000Å의 폭을 갖도록 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

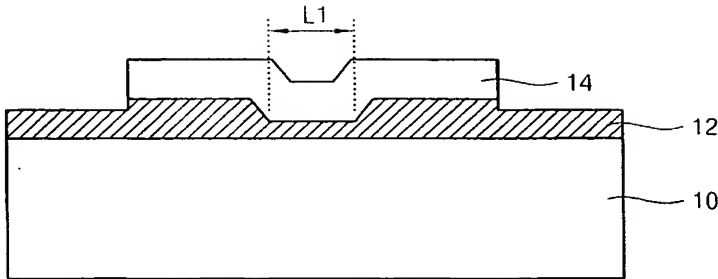
【청구항 4】

제1항에 있어서, 상기 하부 절연막 패턴 상에 상부 산화막을 균일한 두께로 형성하는 단계; 및

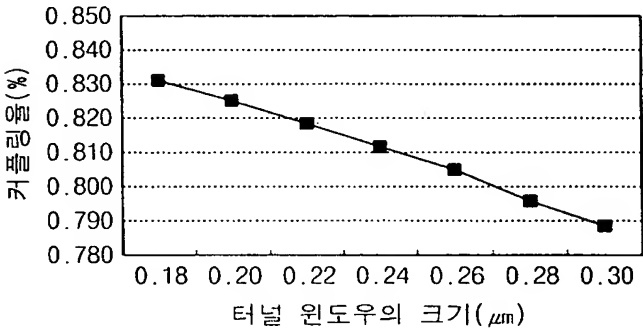
상기 상부 산화막 상에 게이트 폴리 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【도면】

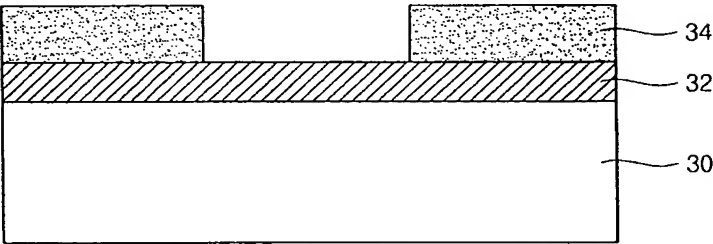
【도 1】



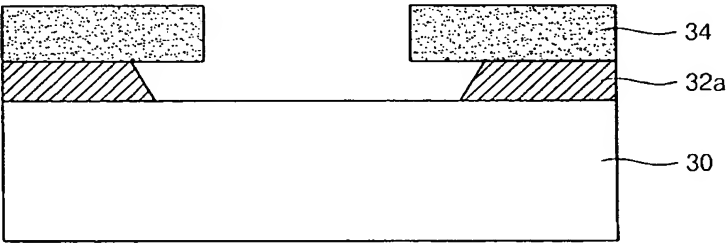
【도 2】



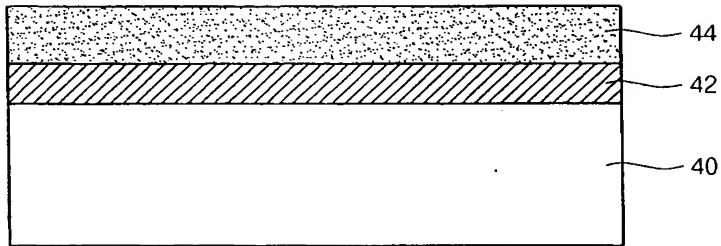
【도 3a】



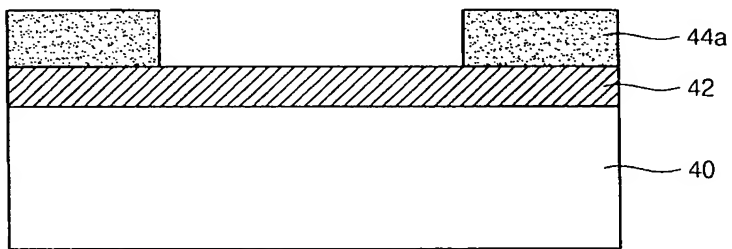
【도 3b】



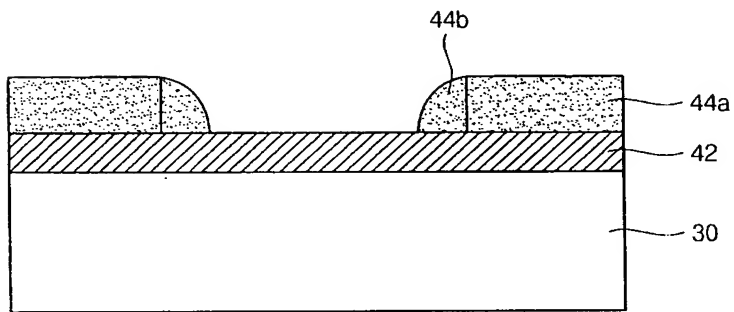
【도 4a】



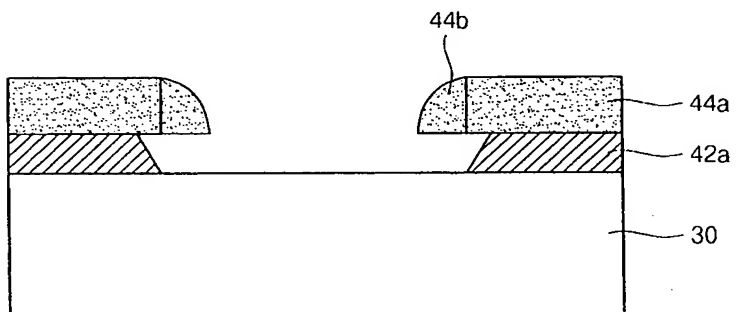
【도 4b】



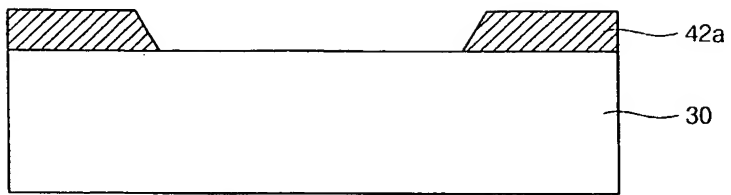
【도 4c】



【도 4d】



【도 4e】



【도 4f】

